

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-306967

(43)Date of publication of application : 28.11.1997

(51)Int.Cl.

H01L 21/66
G01R 31/28
H01L 21/00
H01L 21/02
H01L 21/8234
H01L 27/06
H01L 29/00

(21)Application number : 08-121185

(71)Applicant : RICOH CO LTD

(22)Date of filing : 16.05.1996

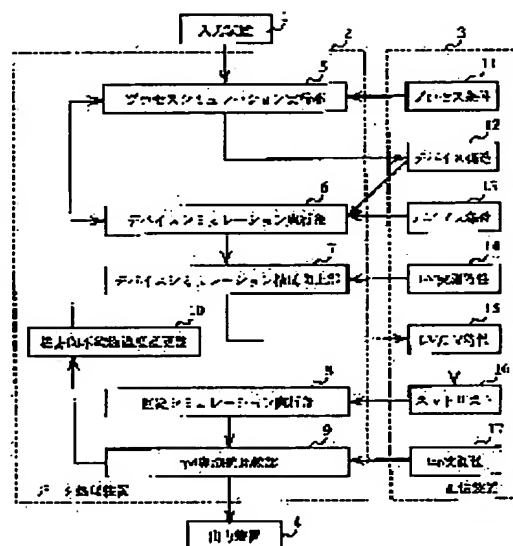
(72)Inventor : AGARI HIDEKI

(54) APPARATUS AND METHOD FOR SIMULATING SEMICONDUCTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain the impurity concn. density of a device at high accuracy by comparing a measured propagation delay time with a calculated value to obtain the lateral concn. distribution in an impurity region.

SOLUTION: A circuit simulator 8 in a data processor 2 evacuates the circuit simulation, based on data given by a net list 16 in a memory 3 to calculate the propagation delay time Tpd of a ring oscillator and give the Tpd value to a comparator 9 which compares a measured value given by a Tpd measured value memory 17 with the calculated Tpd value. If the comparison result from the comparator is out of a predetermined error range, a lateral impurity concn. changer 10 generates data for changing the lateral concn. distribution in a source/drain region so that the calculated Tpd agrees with the measured value, thus changing this concn. distribution in the source/drain region.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-306967

(43) 公開日 平成9年(1997)11月28日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/66			H 0 1 L 21/66	Z
G 0 1 R 31/28			21/00	
H 0 1 L 21/00			21/02	Z
21/02			29/00	
21/8234			G 0 1 R 31/28	F
審査請求 未請求 請求項の数 8 O L (全 12 頁) 最終頁に続く				

(21) 出願番号 特願平8-121185

(22) 出願日 平成8年(1996)5月16日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 上里 英樹

東京都大田区中馬込1丁目3番6号 株式会社リコー内

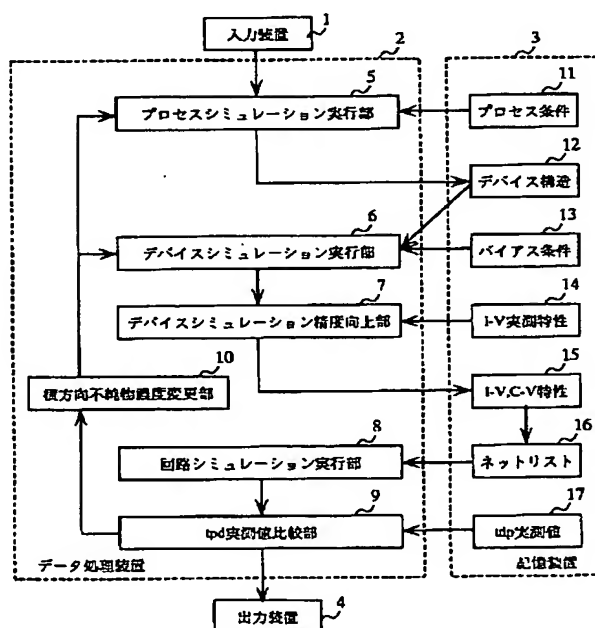
(74) 代理人 弁理士 鳥居 洋

(54) 【発明の名称】 半導体シミュレーション装置および半導体シミュレーション方法

(57) 【要約】

【課題】 横方向濃度分布を知得して例えば電界効果トランジスタのソース/ドレイン濃度分布を導出できる半導体シミュレーション装置を提供する。

【解決手段】 プロセス条件に基づいて不純物領域の濃度分布等のデバイス構造データを生成するプロセスシミュレーション実行部5と、前記デバイス構造データに基づいてI-V値等のデバイス特性データを算出するデバイスシミュレーション実行部6と、前記算出されたI-V値が実測されたI-V値に適合するように前記実行部6の合わせ込みを行う精度向上部7と、前記実行部6から出力されるデバイス特性データ及びネットリストを用いてリングオシレータの伝搬遅延時間を算出する回路シミュレーション実行部8と、前記算出された伝搬遅延時間が実測された伝搬遅延時間に適合するように不純物領域の横方向濃度分布を変更させるtpd実測値比較部9及び横方向不純物濃度変更部10とを備えた。



【特許請求の範囲】

【請求項 1】 プロセス条件に基づいて不純物領域の濃度分布等のデバイス構造データを生成するプロセスシミュレーション実行部と、前記デバイス構造データに基づいて I-V 値等のデバイス特性データを算出するデバイスシミュレーション実行部と、前記算出された I-V 値が実測された I-V 値に適合するように前記デバイスシミュレーション実行部の合わせ込みを行う精度向上部と、前記デバイスシミュレーション実行部から出力されるデバイス特性データ及びネットリスト出力部からのネットリストを用いてリングオシレータの伝搬遅延時間を算出する回路シミュレーション実行部と、前記算出された伝搬遅延時間が実測された伝搬遅延時間に適合するように不純物領域の横方向濃度分布を変更させるためのデータを生成し不純物領域の横方向濃度分布を変更させる横方向不純物濃度変更部とを備えたことを特徴とする半導体シミュレーション装置。

【請求項 2】 プロセス条件に基づいて不純物領域の濃度分布等のデバイス構造データを生成するプロセスシミュレーション実行部と、前記デバイス構造データに基づいて I-V 値および C-V 値等のデバイス特性データを算出するデバイスシミュレーション実行部と、前記算出された I-V 値が実測された I-V 値に適合するように前記デバイスシミュレーション実行部の合わせ込みを行う精度向上部と、前記デバイスシミュレーション実行部から出力されるデバイス特性データ及びネットリスト出力部からのネットリストを用いて回路シミュレーションを行う回路シミュレーション実行部と、前記算出された C-V 値がスパイスパラメータに基づく SPICE の回路シミュレーションで得られる C-V 値に適合するように不純物領域の横方向濃度分布を変更させるためのデータを生成し不純物領域の横方向濃度分布を変更させる横方向不純物濃度変更部とを備えたことを特徴とする半導体シミュレーション装置。

【請求項 3】 プロセス条件に基づいて不純物領域の濃度分布等のデバイス構造データを生成するプロセスシミュレーション実行部と、前記デバイス構造データに基づいて I-V 値および C-V 値等のデバイス特性データを算出するデバイスシミュレーション実行部と、前記算出された I-V 値が実測された I-V 値に適合するように前記デバイスシミュレーション実行部の合わせ込みを行う精度向上部と、前記デバイスシミュレーション実行部から出力されるデバイス特性データ及びネットリスト出力部からのネットリストを用いてリングオシレータの伝搬遅延時間を算出する回路シミュレーション実行部と、前記算出された伝搬遅延時間と実測された伝搬遅延時間との間に許容範囲を越える誤差がある場合に、前記算出された C-V 値とスパイスパラメータに基づく SPICE の回路シミュレーションで得られる C-V 値とに基づいて前記デバイス構造データとしての pMOS と nMO

S のいずれに前記誤差があるのかを判断し、誤差がある MOS に対して前記算出された伝搬遅延時間が実測された伝搬遅延時間に適合するように不純物領域の横方向濃度分布を変更させるためのデータを生成し不純物領域の横方向濃度分布を変更させる横方向不純物濃度変更部とを備えたことを特徴とする半導体シミュレーション装置。

【請求項 4】 前記横方向不純物濃度変更部は、不純物領域の横方向濃度分布を変更させるためのデータとして、不純物領域の濃度分布を横方向にシフトさせることに相当するデータを生成してこれを前記デバイスシミュレーション実行部に与え、このデバイスシミュレーション実行部は、既に得られているデバイス構造データに対してその不純物領域の濃度分布をそのまま横方向にシフトさせるようになっていることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体シミュレーション装置。

【請求項 5】 前記横方向不純物濃度変更部は、不純物領域の横方向濃度分布を変更させるためのデータとして、横方向の拡散係数に係わるパラメータを変更させることに相当するデータを生成してこれを前記プロセスシミュレーション実行部に与え、このプロセスシミュレーション実行部は、変更されたパラメータに基づいて新たにデバイス構造データを生成するようになっていることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体シミュレーション装置。

【請求項 6】 プロセス条件に基づいてプロセスシミュレーションを行って不純物領域の濃度分布等のデバイス構造データを生成する工程と、前記デバイス構造データに基づいてデバイスシミュレーションを行って I-V 値等のデバイス特性データを算出する工程と、前記算出された I-V 値が実測された I-V 値に適合するように前記デバイスシミュレーションの合わせ込みを行う工程と、前記算出されたデバイス特性データ及びネットリストを用いて回路シミュレーションを行ってリングオシレータの伝搬遅延時間を算出する工程と、前記算出された伝搬遅延時間が実測された伝搬遅延時間に適合するように不純物領域の横方向濃度分布を変更させるためのデータを生成し不純物領域の横方向濃度分布を変更させる工程とを含むことを特徴とする半導体シミュレーション方法。

【請求項 7】 プロセス条件に基づいてプロセスシミュレーションを行って不純物領域の濃度分布等のデバイス構造データを生成する工程と、前記デバイス構造データに基づいてデバイスシミュレーションを行って I-V 値および C-V 値等のデバイス特性データを算出する工程と、前記算出された I-V 値が実測された I-V 値に適合するように前記デバイスシミュレーションの合わせ込みを行う工程と、前記算出されたデバイス特性データ及びネットリストを用いて回路シミュレーションを行う工

10

20

30

40

50

程と、前記算出されたC-V値がスパイスパラメータに基づくSPICEの回路シミュレーションで得られるC-V値に適合するように不純物領域の横方向濃度分布を変更させるためのデータを生成し不純物領域の横方向濃度分布を変更させる工程とを含むことを特徴とする半導体シミュレーション方法。

【請求項8】 プロセス条件に基づいてプロセスシミュレーションを行って不純物領域の濃度分布等のデバイス構造データを生成する工程と、前記デバイス構造データに基づいてデバイスシミュレーションを行ってI-V値およびC-V値等のデバイス特性データを算出する工程と、前記算出されたI-V値が実測されたI-V値に適合するように前記デバイスシミュレーション実行部の合わせ込みを行う工程と、前記デバイスシミュレーション実行部から出力されるデバイス特性データ及びネットリストを用いて回路シミュレーションを行ってリングオシレータの伝搬遅延時間を算出する工程と、前記算出された伝搬遅延時間と実測された伝搬遅延時間との間に許容範囲を越える誤差がある場合に、前記算出されたC-V値とスパイスパラメータに基づくSPICEの回路シミュレーションで得られるC-V値とに基づいて前記デバイス構造データとしてのpMOSとnMOSのいずれに前記誤差があるのかを判断する工程と、前記誤差があるMOSに対して前記算出された伝搬遅延時間が実測された伝搬遅延時間に適合するように不純物領域の横方向濃度分布を変更させるためのデータを生成し不純物領域の横方向濃度分布を変更させる工程とを含むことを特徴とする半導体シミュレーション方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体シミュレーション装置に関し、例えば電界効果トランジスタ(FET)のソース/ドレイン濃度分布を導出する機能を備えた半導体シミュレーション装置および半導体シミュレーション方法に関する。

【0002】

【従来の技術】 不純物領域の濃度分布は、素子の電気特性を決定する重要なパラメータである。この不純物の濃度分布を知る方法として、実際に半導体基板に不純物を注入し拡散の具合を実測する方法と、イオン注入条件等から計算によって拡散の具合を算出するプロセスシミュレーションを行う方法とがある。

【0003】 前記実測による方法として、特開平2-78220号公報には、半導体基板の拡散層およびその周辺を含む部分に角度研磨を施し、角度研磨面の広がり抵抗を所定の目盛りに基づいて測定することにより拡散マスクの拡散窓端縁から横方向に拡散した横方向拡散部分の広がりを求める方法が開示されている。また、特開平2-47847号公報には、不純物イオン注入領域を区画する直線に対して或る角度を持って傾斜させた直線に沿

って不純物濃度を測定し、この不純物濃度の測定結果と傾斜角度とから不純イオンの横方向の拡散距離を求める方法が開示されている。また、「Two-dimensional Profiling of doped layers by SR and AFM」ESSDERC, '93, には、不純物濃度分布の導出において広がり抵抗測定(Spreading Resistance profiling (SR))で横方向50nmの解像度が得られること、Atomic Force Microscopy (AFM)で10nm以下の解像度が得られることが示されている。

【0004】 一方、前記シミュレーションによる方法として、特開平6-177151号公報には、プロセスシミュレーションにおいて複数の素子を構築し、デバイスシミュレーションによって電気特性を求める場合に個々の素子について別々に計算を行う必要を解消した技術が開示されている。また、「ロジックLSI技術の革新」(サイエンスフォーラム, 1995, P. 354~)には、プロセス・デバイス・回路シミュレーションを用い、プロセスから回路特性までを計算する技術が開示されている。

【0005】

【発明が解決しようとする課題】 しかしながら、特開平2-78220号公報の技術や特開平2-47847号公報の技術では実際にトランジスタ(Tr)を形成していないため、ソース/ドレイン濃度分布を知ることには使えない。更に、広がり抵抗測定(SR)における測定誤差も問題となる。また、前記AFMでは、ソース/ドレイン濃度分布を詳細に知ることはできない。そして、前記SRやAFMでは、ジャンクション形状がどのようになっているかを知ることができても、実際にエッチングされていったときの濃度分布を知ることは難しい。更に、これらの実測法では、デバイスを破壊しなければならぬという欠点がある。

【0006】 一方、前記シミュレーションによる方法では、デバイスを破壊する必要が無いという利点があり、また、デバイスの各部の深さ方向の濃度分布については、SIMS (Secondary Ion Mass Spectrometry) による実測結果を考慮してプロセスシミュレーションを行うことができるが、ゲート酸化膜下へ二次元的に回り込むような不純物領域の濃度の分布(横方向濃度分布)は、前述の実測法において説明したように、精度良く実測することはできないので、実測した横方向濃度分布をプロセスシミュレーションに反映させることはできない。また、特開平6-177151号公報の技術においても、プロセスシミュレーションで横方向濃度分布誤差を考慮するようにはなっていない。

【0007】 なお、電界効果型トランジスタの実効チャネル長(Leff)を電氣的に求める方法として、チャ

ネルの抵抗を測定する方法とキャパシタンスを測定する方法が知られているが、かかる方法では、求めた実効チャネル長から接合のプロファイルを導出することはできない。

【0008】この発明は、上記の事情に鑑み、例えば、リングオシレータの伝搬遅延時間（ T_{pd} ）によって横方向濃度分布を導出し、素子の不純物濃度分布を高精度で導出する半導体シミュレーション装置を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の半導体シミュレーション装置は、上記の課題を解決するために、プロセス条件に基づいて不純物領域の濃度分布等のデバイス構造データを生成するプロセスシミュレーション実行部と、前記デバイス構造データに基づいて $I-V$ 値等のデバイス特性データを算出するデバイスシミュレーション実行部と、前記算出された $I-V$ 値が実測された $I-V$ 値に適合するように前記デバイスシミュレーション実行部の合わせ込みを行う精度向上部と、前記デバイスシミュレーション実行部から出力されるデバイス特性データ及びネットリスト出力部からのネットリストを用いてリングオシレータの伝搬遅延時間を算出する回路シミュレーション実行部と、前記算出された伝搬遅延時間が実測された伝搬遅延時間に適合するように不純物領域の横方向濃度分布を変更させるためのデータを生成し不純物領域の横方向濃度分布を変更させる横方向不純物濃度変更部とを備えたことを特徴とする。

【0010】これによれば、算出された伝搬遅延時間と実測された伝搬遅延時間との比較によって不純物領域の横方向濃度分布を導出するので、非破壊で物理モデルに基づいた精度の高いプロファイルを得ることができる。

【0011】また、本発明の半導体シミュレーション装置は、プロセス条件に基づいて不純物領域の濃度分布等のデバイス構造データを生成するプロセスシミュレーション実行部と、前記デバイス構造データに基づいて $I-V$ 値および $C-V$ 値等のデバイス特性データを算出するデバイスシミュレーション実行部と、前記算出された $I-V$ 値が実測された $I-V$ 値に適合するように前記デバイスシミュレーション実行部の合わせ込みを行う精度向上部と、前記デバイスシミュレーション実行部から出力されるデバイス特性データ及びネットリスト出力部からのネットリストを用いて回路シミュレーションを行う回路シミュレーション実行部と、前記算出された $C-V$ 値がスパイスパラメータに基づくSPICEの回路シミュレーションで得られる $C-V$ 値に適合するように不純物領域の横方向濃度分布を変更させるためのデータを生成し不純物領域の横方向濃度分布を変更させる横方向不純物濃度変更部とを備えたことを特徴とする。

【0012】これによれば、算出された伝搬遅延時間を用いずに例えばnMOSとpMOSを独立に横方向不純

物濃度の変更が行えることになる。

【0013】また、本発明の半導体シミュレーション装置は、プロセス条件に基づいて不純物領域の濃度分布等のデバイス構造データを生成するプロセスシミュレーション実行部と、前記デバイス構造データに基づいて $I-V$ 値および $C-V$ 値等のデバイス特性データを算出するデバイスシミュレーション実行部と、前記算出された $I-V$ 値が実測された $I-V$ 値に適合するように前記デバイスシミュレーション実行部の合わせ込みを行う精度向上部と、前記デバイスシミュレーション実行部から出力されるデバイス特性データ及びネットリスト出力部からのネットリストを用いてリングオシレータの伝搬遅延時間を算出する回路シミュレーション実行部と、前記算出された伝搬遅延時間と実測された伝搬遅延時間との間に許容範囲を越える誤差がある場合に、前記算出された $C-V$ 値とスパイスパラメータに基づくSPICEの回路シミュレーションで得られる $C-V$ 値とに基づいて前記デバイス構造データとしてのpMOSとnMOSのいずれに前記誤差があるのかを判断し、誤差があるMOSに対して前記算出された伝搬遅延時間が実測された伝搬遅延時間に適合するように不純物領域の横方向濃度分布を変更させるためのデータを生成し不純物領域の横方向濃度分布を変更させる横方向不純物濃度変更部とを備えたことを特徴とする。

【0014】かかる構成においては、SPICEの回路シミュレーションで得られる $C-V$ 値を基準としたソース/ドレイン領域の濃度分布の変更が必ずしも最良の結果をもたらすとは限らない点に鑑み、SPICEの回路シミュレーションで得られる $C-V$ 値については、誤差が例えばnMOSとpMOSのどちらにあるのかを判断するために利用し、不純物領域の横方向濃度分布の変更には、算出された伝搬遅延時間を用いることとし、より正確なシミュレーションが可能となる。

【0015】また、前記横方向不純物濃度変更部は、不純物領域の横方向濃度分布を変更させるためのデータとして、不純物領域の濃度分布を横方向にシフトさせることに相当するデータを生成してこれを前記デバイスシミュレーション実行部に与え、このデバイスシミュレーション実行部は、既に得られているデバイス構造データに対してその不純物領域の濃度分布をそのまま横方向にシフトさせるようになっていてもよい。

【0016】これによれば、既に得られているデバイス構造データの不純物領域の横方向への座標値変更を行うだけでよいので、再度のプロセスシミュレーションの実行は不要である。従って簡便に短時間で不純物領域の横方向濃度分布を導出することができ。

【0017】また、前記横方向不純物濃度変更部は、不純物領域の横方向濃度分布を変更させるためのデータとして、横方向の拡散係数に係わるパラメータを変更させることに相当するデータを生成してこれを前記プロセス

シミュレーション実行部に与え、このプロセスシミュレーション実行部は、変更されたパラメータに基づいて新たにデバイス構造データを生成するようになっていてもよい。

【0018】これによれば、再度のプロセスシミュレーションの実行を行うことになるが、そのシミュレーションに係わるデバイスとは別のデバイスを評価する場合にも、横方向の拡散係数に係わるパラメータを用いることができるので、より汎用性のあるシミュレーションが行えることになる。

【0019】本発明の半導体シミュレーション方法は、プロセス条件に基づいてプロセスシミュレーションを行って不純物領域の濃度分布等のデバイス構造データを生成する工程と、前記デバイス構造データに基づいてデバイスシミュレーションを行ってI-V値等のデバイス特性データを算出する工程と、前記算出されたI-V値が実測されたI-V値に適合するように前記デバイスシミュレーションの合わせ込みを行う工程と、前記算出されたデバイス特性データ及びネットリストを用いて回路シミュレーションを行ってリングオシレータの伝搬遅延時間を算出する工程と、前記算出された伝搬遅延時間が実測された伝搬遅延時間に適合するように不純物領域の横方向濃度分布を変更させるためのデータを生成し不純物領域の横方向濃度分布を変更させる工程とを含むことを特徴とする。

【0020】また、本発明の半導体シミュレーション方法は、プロセス条件に基づいてプロセスシミュレーションを行って不純物領域の濃度分布等のデバイス構造データを生成する工程と、前記デバイス構造データに基づいてデバイスシミュレーションを行ってI-V値およびC-V値等のデバイス特性データを算出する工程と、前記算出されたI-V値が実測されたI-V値に適合するように前記デバイスシミュレーションの合わせ込みを行う工程と、前記算出されたデバイス特性データ及びネットリストを用いて回路シミュレーションを行う工程と、前記算出されたC-V値がスパイスパラメータに基づくSPICEの回路シミュレーションで得られるC-V値に適合するように不純物領域の横方向濃度分布を変更させるためのデータを生成し不純物領域の横方向濃度分布を変更させる工程とを含むことを特徴とする。

【0021】また、本発明の半導体シミュレーション方法は、プロセス条件に基づいてプロセスシミュレーションを行って不純物領域の濃度分布等のデバイス構造データを生成する工程と、前記デバイス構造データに基づいてデバイスシミュレーションを行ってI-V値およびC-V値等のデバイス特性データを算出する工程と、前記算出されたI-V値が実測されたI-V値に適合するように前記デバイスシミュレーション実行部の合わせ込みを行う工程と、前記デバイスシミュレーション実行部から出力されるデバイス特性データ及びネットリストを用

いて回路シミュレーションを行ってリングオシレータの伝搬遅延時間を算出する工程と、前記算出された伝搬遅延時間と実測された伝搬遅延時間との間に許容範囲を越える誤差がある場合に、前記算出されたC-V値とスパイスパラメータに基づくSPICEの回路シミュレーションで得られるC-V値とに基づいて前記デバイス構造データとしてのpMOSとnMOSのいずれに前記誤差があるのかを判断する工程と、前記誤差があるMOSに対して前記算出された伝搬遅延時間が実測された伝搬遅延時間に適合するように不純物領域の横方向濃度分布を変更させる工程とを含むことを特徴とする。

【0022】

【発明の実施の形態】

(実施の形態1) 以下、この発明の実施の形態を図に基づいて説明する。

【0023】図1は、この発明の半導体シミュレーション装置の概略構成を示した機能ブロック図である。この装置は、各種の命令やデータを外部から入力するための入力装置1と、シミュレーションのための各種の処理を実行するデータ処理装置2と、各種のデータを記憶する記憶装置3と、シミュレーション結果を出力する出力装置4とを備える。

【0024】前記データ処理装置2および記憶装置3の具体的内容について以下に説明する。データ処理装置2のプロセスシミュレーション実行部5は、記憶装置3のプロセス条件記憶部11に格納されているプロセス条件を入手し、このプロセス条件に基づいて不純物領域の濃度分布等のデバイス構造データを生成するようになっている。前記プロセス条件としては、例えば、不純物の種類、不純物のイオン打ち込み強さ、或いは基板温度などが挙げられる。また、前記デバイス構造データに基づいて描画されるデバイスイメージの一例を示せば、図2のようである。図2では、半導体基板22上にゲート酸化膜21を介してゲート電極18が形成され、ゲート電極18の両側部分の半導体基板22にソース領域19とドレイン領域20とが形成された電界効果型トランジスタのイメージを示している。また、図2に描かれている矢印は、前記ソース/ドレイン領域19、20における横方向（チャネル長方向）を表している。

【0025】前記プロセスシミュレーション実行部5にて得られたデバイス構造データは、記憶装置3のデバイス構造記憶部12に格納される。そして、このデバイス構造記憶部12からデバイス構造データが読み出され、このデバイス構造データはデータ処理装置2のデバイスシミュレーション実行部6に与えられるようになっている。

【0026】デバイスシミュレーション実行部6は、前記のデバイス構造データと、記憶装置3のバイアス条件記憶部13から読み出したバイアス条件とに基づき、デ

10

20

30

40

50

バイス特性データを算出するようになっている。デバイス特性データとしては、例えば、図3に示すようなI-V特性、或いは図4に示すようなC-V特性（ゲートとソース／ドレイン間の容量）が挙げられる。また、前記バイアス条件としては、例えば前記図3のI-V特性を得るためのゲート電圧（V_g）やドレインバイアス（*drain bias*）などが挙げられる。

【0027】前記デバイスシミュレーション実行部6にて得られたデバイス特性データは、デバイスシミュレーション精度向上部7に入力される。このデバイスシミュレーション精度向上部7は、記憶装置3のI-V実測特性記憶部14からI-V実測値（例えば、V_{th}（ゲート閾値）やI_{dsat}（ドレイン飽和電流））を入手し、前記デバイスシミュレーション実行部6にて算出されたデバイス特性データであるI-V特性との比較を行い、算出されたI-V値が前記実測されたI-V値に適合するように前記デバイスシミュレーション実行部6の合わせ込みを行うようになっている。この合わせ込みとしては、例えば、デバイスシミュレーション実行部6における移動度モデルパラメータのフィッティング、即ち、 $v = \mu E$ （*v*：走行速度、*E*：電界の強さ、 μ ：移動度）、より詳細には、即ち電子の場合、 $J_s = -q(\mu_e n \nabla \psi - D_n \nabla n)$ （*J_s*：電子電流密度、*q*：単位電荷、 μ_e ：電子移動度、*n*：電子濃度、 ψ ：電位、*D_n*：電子拡散係数）における μ の調節を行うことが挙げられる。

【0028】前記算出されたI-V値と前記実測されたI-V値とが適合した場合の前記算出されたI-V値およびC-V値は、記憶装置3のI-V、C-V特性記憶部15に格納される。そして、これらI-V値およびC-V値は、記憶装置3のネットリスト記憶部16に与えられる。ネットリスト記憶部16では、データ処理装置2の回路シミュレーション実行部8に与えるべきデータ、例えば、前記I-V値、C-V値に基づく接合容量やゲート容量、更に配線容量や抵抗に関するデータをネットリスト（例えば、2NANDゲート）に組み込むことが行われる。

【0029】回路シミュレーション実行部8は、前記ネットリスト部16から与えられるデータに基づいて回路シミュレーションを実行し、リングオシレータの伝搬遅延時間（T_{pd}）を算出し、この算出したT_{pd}値をデータ処理装置2のt_{pd}実測値比較部9に与えるようになっている。t_{pd}実測値比較部9は、記憶装置3のt_{pd}実測値記憶部17から与えられるt_{pd}実測値と、前記算出したT_{pd}値とを比較する。データ処理装置2の横方向不純物濃度変更部10は、前記比較結果が、予め定められた誤差範囲内であれば特に処理は行わないが、予め定められた誤差範囲内に納まらない場合には、前記算出したT_{pd}がt_{pd}実測値に適合するようにソース／ドレイン領域の横方向濃度分布を変更させるため

のデータを生成しソース／ドレイン領域の横方向濃度分布を変更させる。

【0030】例えば、比較結果が誤差範囲内に納まらない場合において、前記算出したT_{pd}値の方が前記t_{pd}実測値よりも大きいとされた場合には、ソース領域19およびドレイン領域20の各々の接合部分が共に、図2の矢印の外側方向に等しい距離移動されるようにしてある。

【0031】ソース／ドレイン領域の横方向濃度分布の変更のための処理としては、具体的には、以下の①と②の処理がある。

【0032】①前記横方向不純物濃度変更部9は、ソース／ドレイン領域の横方向濃度分布を変更させるためのデータとして、ソース／ドレイン領域の濃度分布を横方向にシフトさせることに相当するデータを生成してこれを前記デバイスシミュレーション実行部6に与える。すると、このデバイスシミュレーション実行部6は、既に得られているデバイス構造データに対してそのソース／ドレイン領域の濃度分布をそのまま横方向にシフトさせる。即ち、ソース／ドレイン領域の横方向への座標値のみの変更を行う。

【0033】②前記横方向不純物濃度変更部9は、ソース／ドレイン領域の横方向濃度分布を変更させるためのデータとして、横方向の拡散係数に係わるパラメータを変更させることに相当するデータを生成してこれを前記プロセスシミュレーション実行部5に与える。すると、このプロセスシミュレーション実行部5は、変更されたパラメータに基づいて新たにデバイス構造データを生成する。この新たなデバイス構造データにおけるソース／ドレイン領域の横方向濃度分布は、従前の構造に対して変化されたものとなる。横方向の拡散係数に係わるパラメータとしては、不純物の横方向拡散係数、或いは、不純物注入時の点欠陥濃度分布の横方向のまわり込み量に関係する係数を用いることができる。なお、例えば不純物の横方向拡散係数は、前述のごとく算出したT_{pd}値の方が前記t_{pd}実測値よりも大きいとされた場合においては、小さくされる。

【0034】なお、ソース／ドレイン領域の横方向濃度分布の変更に伴い、I-V特性が変化する場合があるが、この場合には、デバイスシミュレーション精度向上部7において、前述したごとく、移動度モデルパラメータのフィッティングにより、実測のI-V特性に対する合わせ込みが行われる。

【0035】以上説明したように、この実施の形態の半導体シミュレーション装置によれば、算出したT_{pd}値とt_{pd}実測値との比較によって不純物領域の横方向濃度分布を導出するので、非破壊で物理モデルに基づいた精度の高いプロファイルを得ることができる。即ち、高精度で汎用的なシミュレーションが実行できることになる。

【0036】また、前記①の処理を行う場合においては、既に得られているデバイス構造データのソース／ドレイン領域の横方向への座標値変更を行うだけでよいので、再度のプロセスシミュレーションの実行は不要である。従って簡便に短時間で不純物領域の横方向濃度分布を導出することが出来る。

【0037】一方、前記②の処理を行う場合においては、再度のプロセスシミュレーションの実行を行うことになるが、そのシミュレーションに係わるデバイスとは別のデバイスを評価する場合にも、横方向の拡散係数に係わるパラメータを用いることができるので、より汎用性のあるシミュレーションが行えることになる。

【0038】（実施の形態2）次に、この発明の他の実施の形態を図5に基づいて説明する。なお、説明の便宜上、図1と同様の機能を有する機能部分には同一の符号を付記してその説明を省略している。

【0039】この実施の形態においても、実施の形態1と同様、デバイスシミュレーション実行部6においてデバイスの実測値によらないシミュレーションが行われ、C-V値（以下、このC-V値を第1のC-V値という）が算出される。ここで、この第1のC-V値は、nMOSデバイス構造データおよびpMOSデバイス構造データのそれぞれについて算出されるものとする。

【0040】一方、実施の形態1と異なり、実際のデバイス（nMOS、pMOS）からスパイスパラメータ抽出ソフトを用いてスパイスパラメータを抽出し、そのパラメータを用いてSPICE（Simulation program with integrated circuit emphasis）の回路シミュレーションによってC-V値（以下、このC-V値を第2のC-V値という）を得ている。この第2のC-V値は、記憶装置3のC-V値記憶部25に格納されるようになっている。データ処理装置2のC-V特性比較部26は、nMOSとpMOSのそれぞれについて前記第1のC-V値と第2のC-V値とを比較し、この比較結果を横方向不純物濃度変更部10aに与える。前記のnMOSにおける比較結果とpMOSにおける比較結果とにより、どちらのMOSにおいてどれだけの誤差が生じているのかが判断できる。

【0041】横方向不純物濃度変更部10aは、nMOSにおいて誤差が生じていれば、その誤差の大きさに応じて実施の形態1で説明した①或いは②の手法を用いてnMOSデバイス構造データのソース／ドレイン領域の横方向濃度分布の変更のための処理を行うことになり、pMOSにおいて誤差が生じていれば、その誤差の大きさに応じて同様に①或いは②の手法を用いてpMOSデバイス構造データのソース／ドレイン領域の横方向濃度分布の変更のための処理を行うことになる。

【0042】以上説明したように、この実施の形態であれば、Tpdを用いずにnMOSとpMOSを独立に横

方向不純物濃度の変更が行えることになる。

【0043】（実施の形態3）次に、この発明の他の実施の形態を図6に基づいて説明する。なお、説明の便宜上、図1、図5と同様の機能を有する機能部分には同一の符号を付記してその説明を省略している。

【0044】回路シミュレーション実行部8で得られるTpdは、実施の形態1においてもそうであるが、I-V特性、接合容量、ゲート容量、配線容量、及び抵抗などの特性によって影響を受けることになる。前記ゲート容量のうち、ゲートソース／ドレインオーバーラップ容量は、実測が困難である。この容量は、通常のスパイスパラメータ抽出において合わせ込みパラメータになっており、tpd実測値に合うように与えられている。別言すれば、他の特性が正確な実測に基づいていれば、前記ゲートソース／ドレインオーバーラップ容量はSPICEにより、実際値に近い値が得られることになる。

【0045】しかしながら、このように実際値に近い値が得られるのは、他の特性が正確な実測に基づいていることを前提とするので、SPICEにより得られる第2のC-V値を基準としたソース／ドレイン領域の濃度分布の変更が必ずしも最良の結果をもたらすとは限らない。

【0046】この実施の形態では、実施の形態1で説明したごとく、回路シミュレーションによってリングオシレータの伝搬遅延時間（Tpd）を算出し、この算出されたTpdとtpd実測値との間に許容範囲を越える誤差が存在する場合に、ソース／ドレイン領域の横方向濃度分布を変更させるのであるが、この変更の際に、横方向不純物濃度変更部10bは、実施の形態2で説明したように、nMOSとpMOSのそれぞれについて前記第1のC-V値と第2のC-V値とを比較する。ただし、実施の形態2のごとくこのC-V比較結果からソース／ドレイン領域の横方向濃度分布を変更させることはしない。

【0047】即ち、横方向不純物濃度変更部10bは、算出されたTpdとtpd実測値との間に誤差がある場合に、この誤差がnMOSにあるのかpMOSにあるのかC-V比較結果から知る。そして、誤差があるMOSにおいて前記Tpdがtpd実測値に適合するようにソース／ドレイン領域の濃度分布を変更する。つまり、前述したように、SPICEにより得られる第2のC-V値を基準としたソース／ドレイン領域の濃度分布の変更が必ずしも最良の結果をもたらすとは限らないので、SPICEにより得られる第2のC-V値については、誤差がnMOSとpMOSのどちらにあるのかを判断するために利用し、ソース／ドレイン領域の横方向濃度分布の変更には、算出されたTpdを用いることとする。

【0048】従って、この実施の形態の構成であれば、実施の形態1、2に比べてより正確なシミュレーションが行えることになる。

【0049】

【発明の効果】以上説明したように、この発明の半導体シミュレーション装置によれば、算出された伝搬遅延時間と実測された伝搬遅延時間との比較によって不純物領域の横方向濃度分布を導出するので、非破壊で物理モデルに基づいた精度の高いプロファイルを得ることができる。また、他の構成の本発明の半導体シミュレーション装置によれば、算出された伝搬遅延時間を用いずに例えばnMOSとpMOSを独立に横方向不純物濃度の変更が行えることになる。そして、更に他の構成の本発明の半導体シミュレーション装置によれば、SPICEの回路シミュレーションで得られるC-V値については、誤差が例えばnMOSとpMOSのどちらにあるのかを判断するために利用し、不純物領域の横方向濃度分布の変更には、算出された伝搬遅延時間を用いることとするので、より正確なシミュレーションが可能になるという効果を奏する。

【図面の簡単な説明】

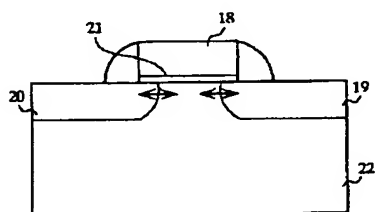
【図1】この発明の第1の実施の形態の半導体シミュレーション装置の概略構成を示した機能ブロック図である。

【図2】デバイス構造データに基づいて描画されるデバイスイメージの一例を示した電界効果型トランジスタの断面図である。

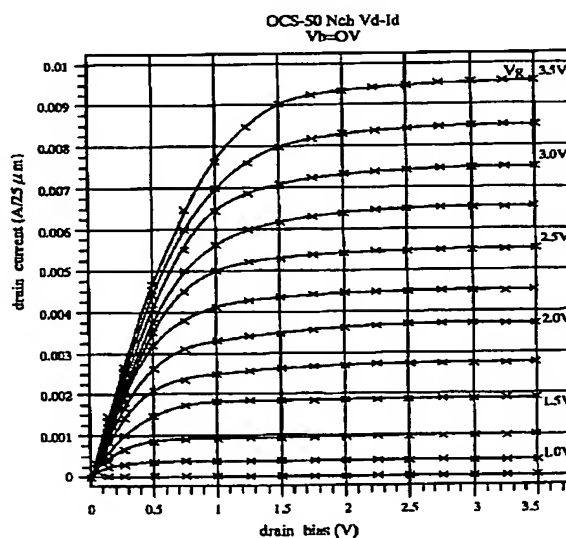
【図3】算出されたデバイス特性データとしてのI-V特性図である。

【図4】算出されたデバイス特性データとしてのC-V*

【図2】



【図3】



* 特性図である。

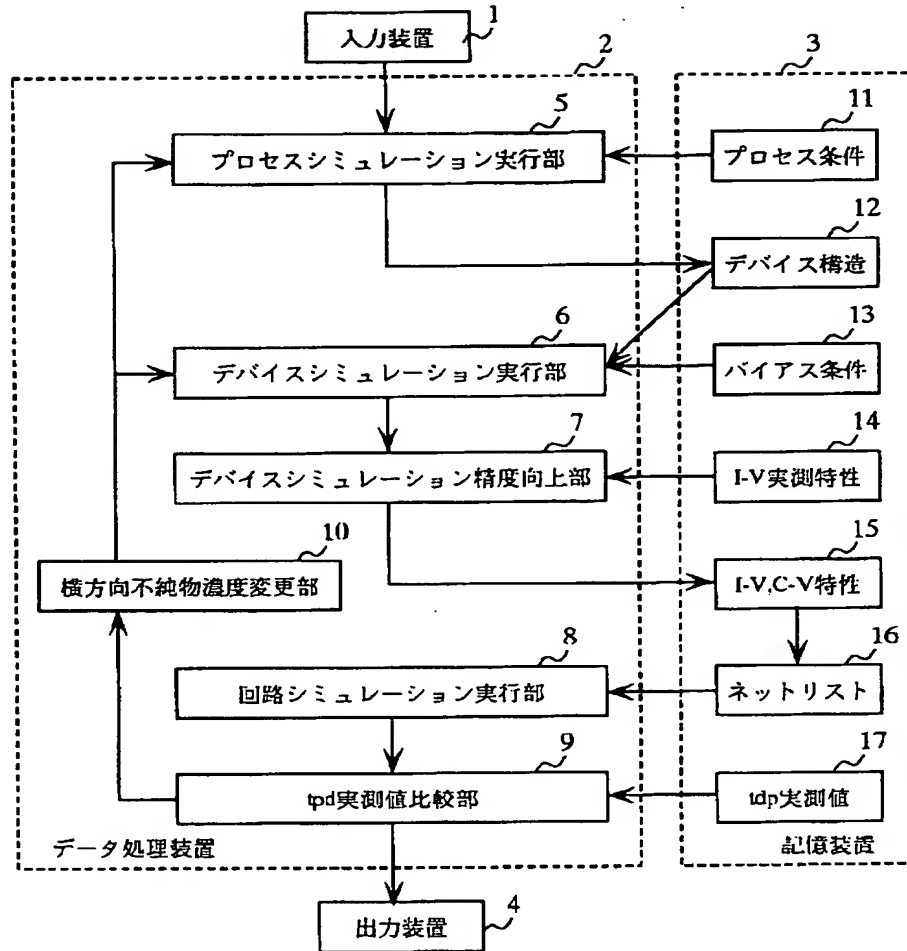
【図5】この発明の第2の実施の形態の半導体シミュレーション装置の概略構成を示した機能ブロック図である。

【図6】この発明の第3の実施の形態の半導体シミュレーション装置の概略構成を示した機能ブロック図である。

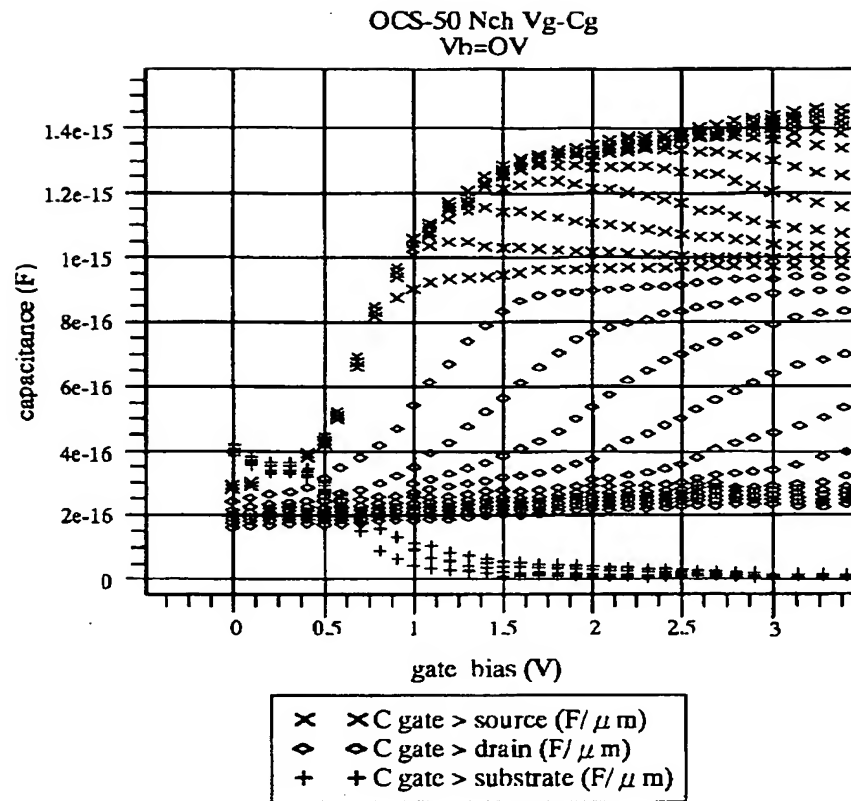
【符号の説明】

- 2 データ処理装置
- 10 3 記憶装置
- 5 プロセスシミュレーション実行部
- 6 デバイスシミュレーション実行部
- 7 デバイスシミュレーション精度向上部
- 8 回路シミュレーション実行部
- 9 tpd実測値比較部
- 10 横方向不純物濃度変更部
- 10a 横方向不純物濃度変更部
- 10b 横方向不純物濃度変更部
- 11 プロセス条件記憶部
- 12 デバイス構造記憶部
- 13 バイアス条件記憶部
- 14 I-V実測特性記憶部
- 15 I-V, C-V特性記憶部
- 16 ネットリスト記憶部
- 17 tpd実測値記憶部
- 25 C-V特性 (SPICE) 記憶部
- 26 C-V特性比較部

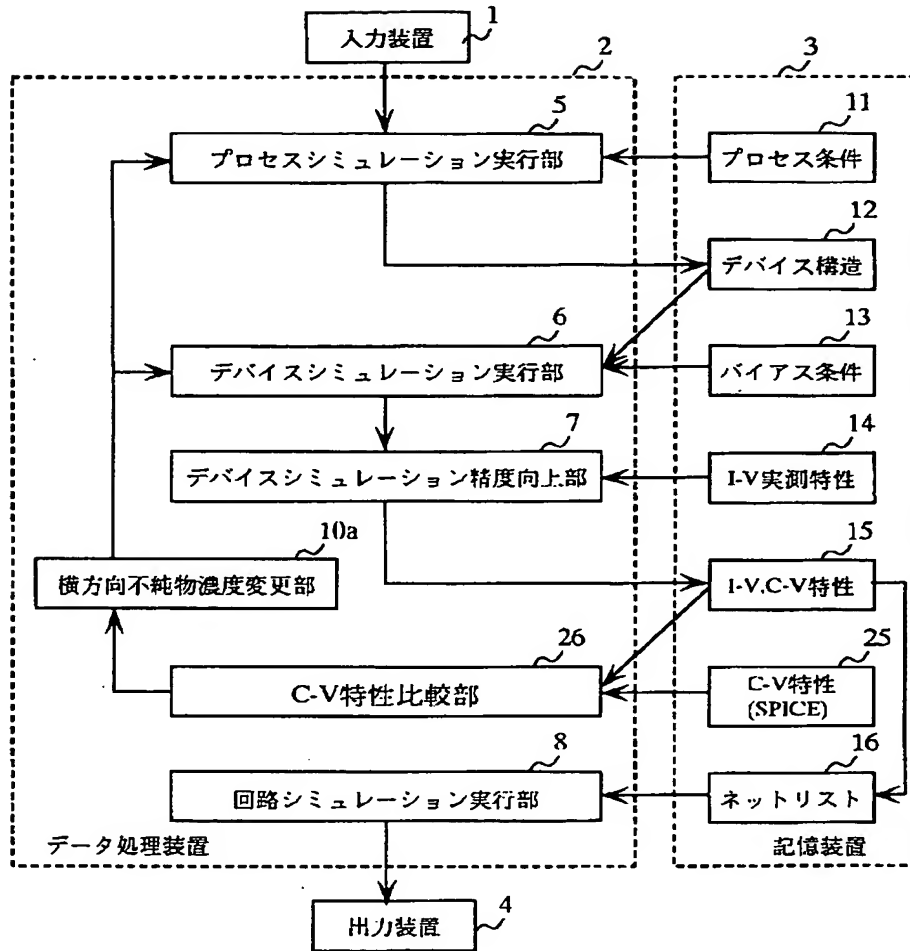
【図1】



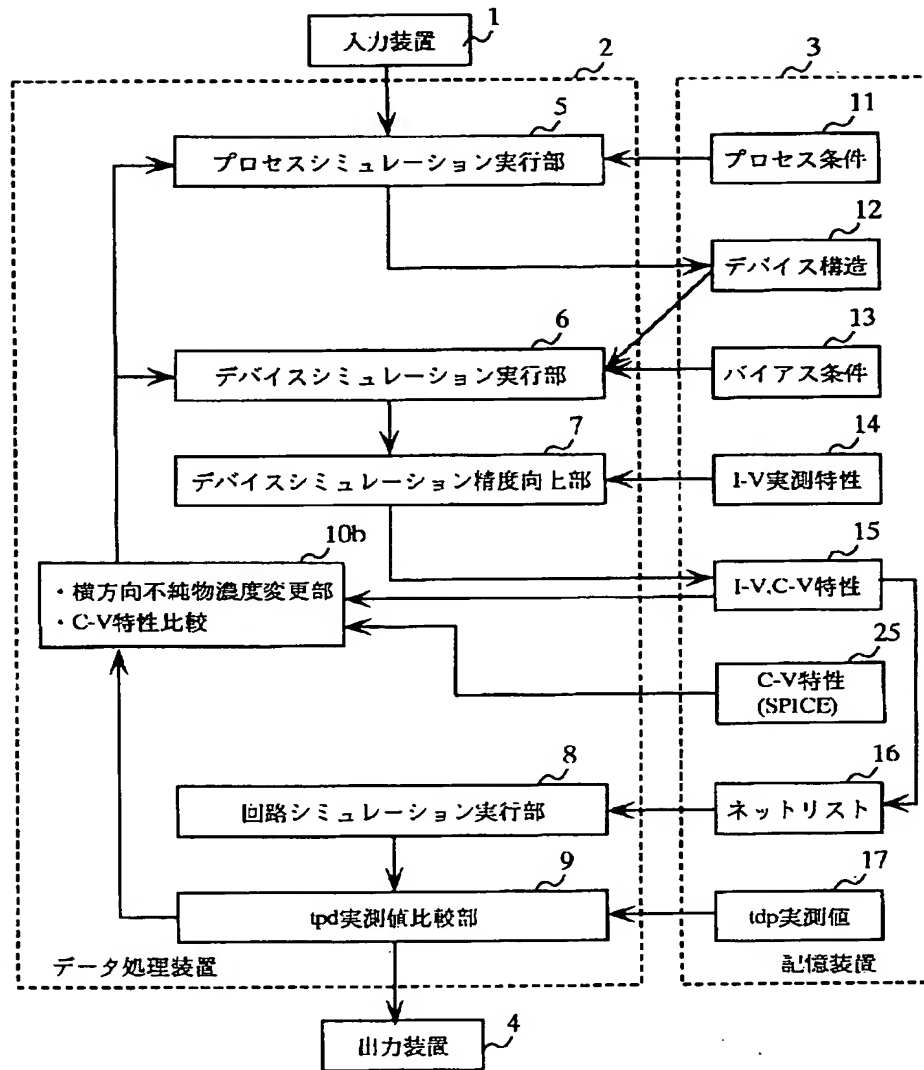
【図4】



【図5】



【図6】



フロントページの続き

(51)Int. Cl.⁶H01L 27/06
29/00

識別記号

庁内整理番号

F I .

H01L 27/06

技術表示箇所

102A